

# VHDLで学ぶCPLD

CPLDでLEDを光らせてみよう



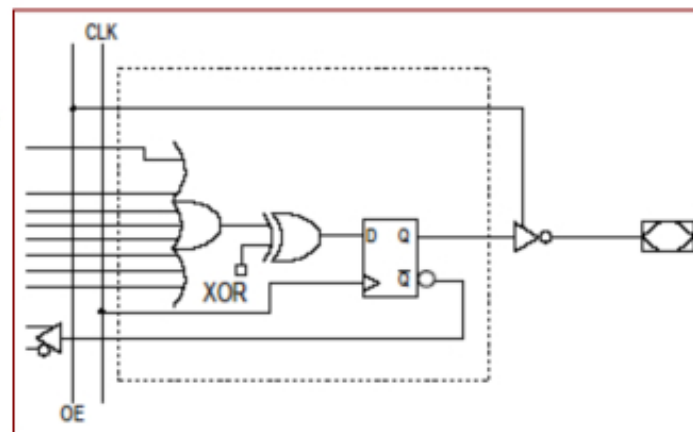
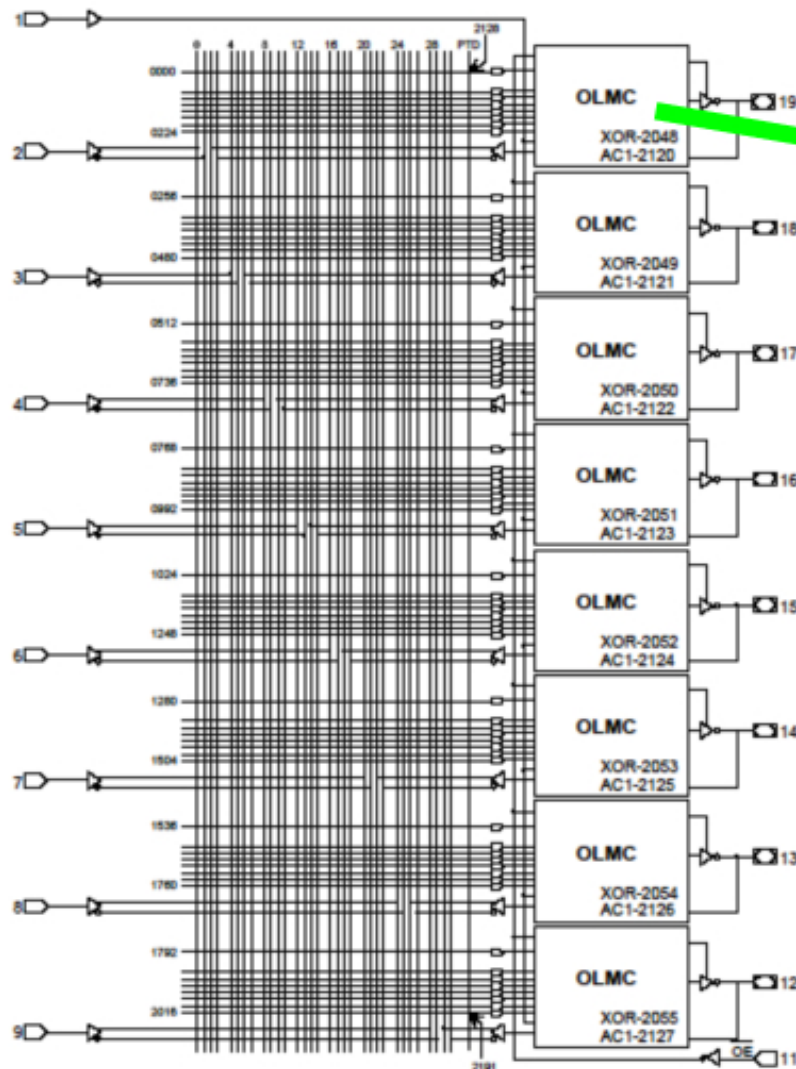
# CPLDとは？

- ❁ **PLD** (Programmable Logic Device)  
内部ゲートを設計者がプログラムできる**LSI**  
再書き込み可能(**EEPROM**)。高速(**200MHz**)。
  - **PAL**(Programmable Array Logic)
  - **GAL**(Generic Array Logic)
  - **CPLD**(Complex[複雑な] PLD)  
**GAL**が複数個。
- ❁ **FPGA**(Field Programmable Gate Alley)  
大規模【ゲートアレイに近い】  
**SRAM**にコンフィグレーションする



# GAL (16V8)の中身は？

マクロセル



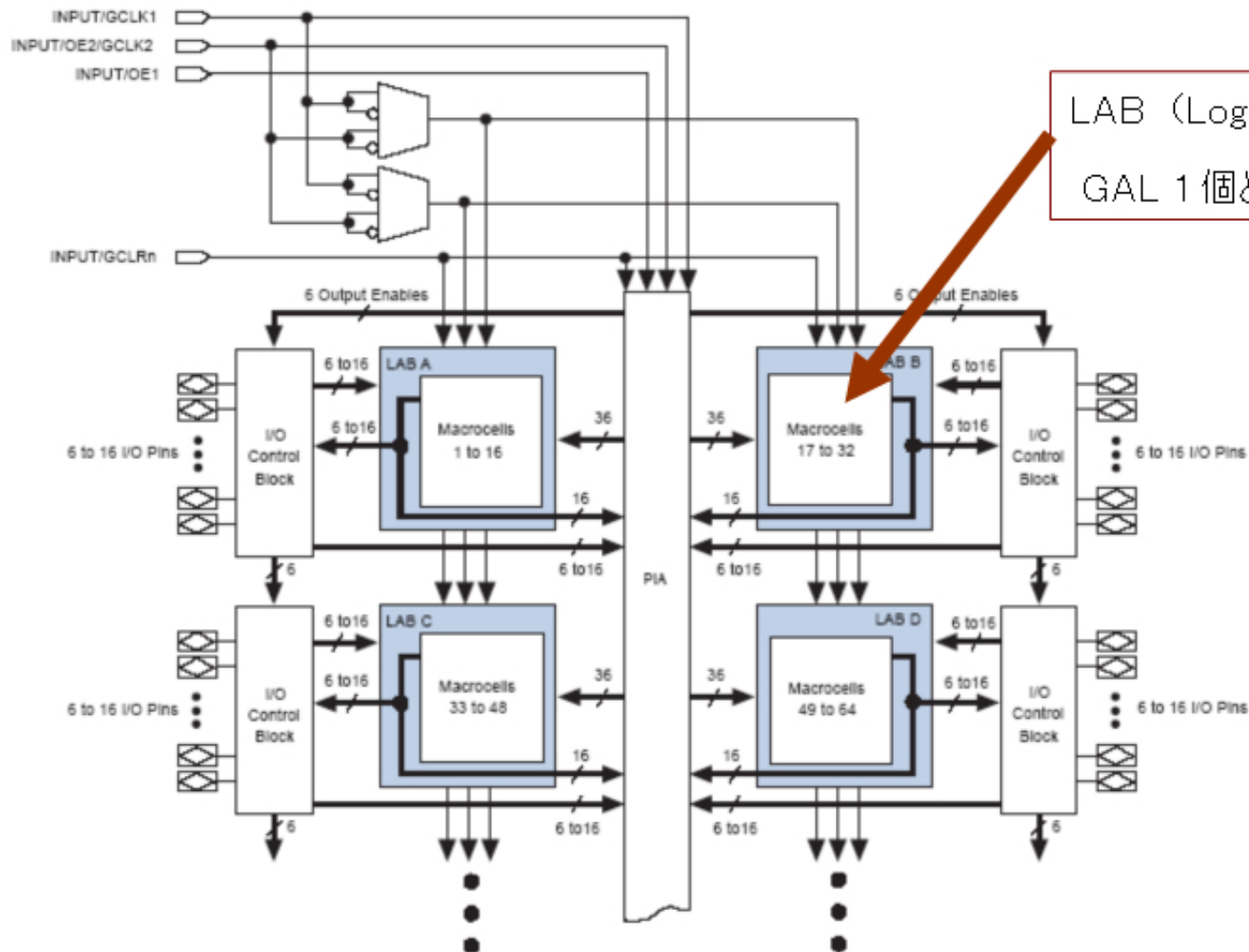
マクロセル数(出力) 8

入力 16

CLK 1



# CPLD (MAX7000シリーズ)の中身は？



LAB (Logic Array Blocks)  
GAL 1個と思えばよい

- 1LABあたり
- マクロセル数  
(出力数) 16
- 入出力 36
- CLK 2 (共通)



# GAL v.s CPLD

種類	名称	LAB	マクロセル	最大IO
GAL	16V8	(1)	8	16
CPLD	EPM7032	2	32	36
	EPM7064	4	64	68
	EPM7128	8	128	100
	EPM7160	10	160	104
	EPM7192	12	192	124
	EPM7256	16	256	164

7032でさえ、GALの4倍のマクロセルがあり、自由にプログラム可能



# 開発環境

- ❁ 開発言語

**VHDL (Very-highspeed-integrated-circuit  
Hardware Description Language)**

- ❁ 設計ツール

**Quartus II**

フリー、ライセンス**30**日間【更新可能】

- ❁ 書き込み

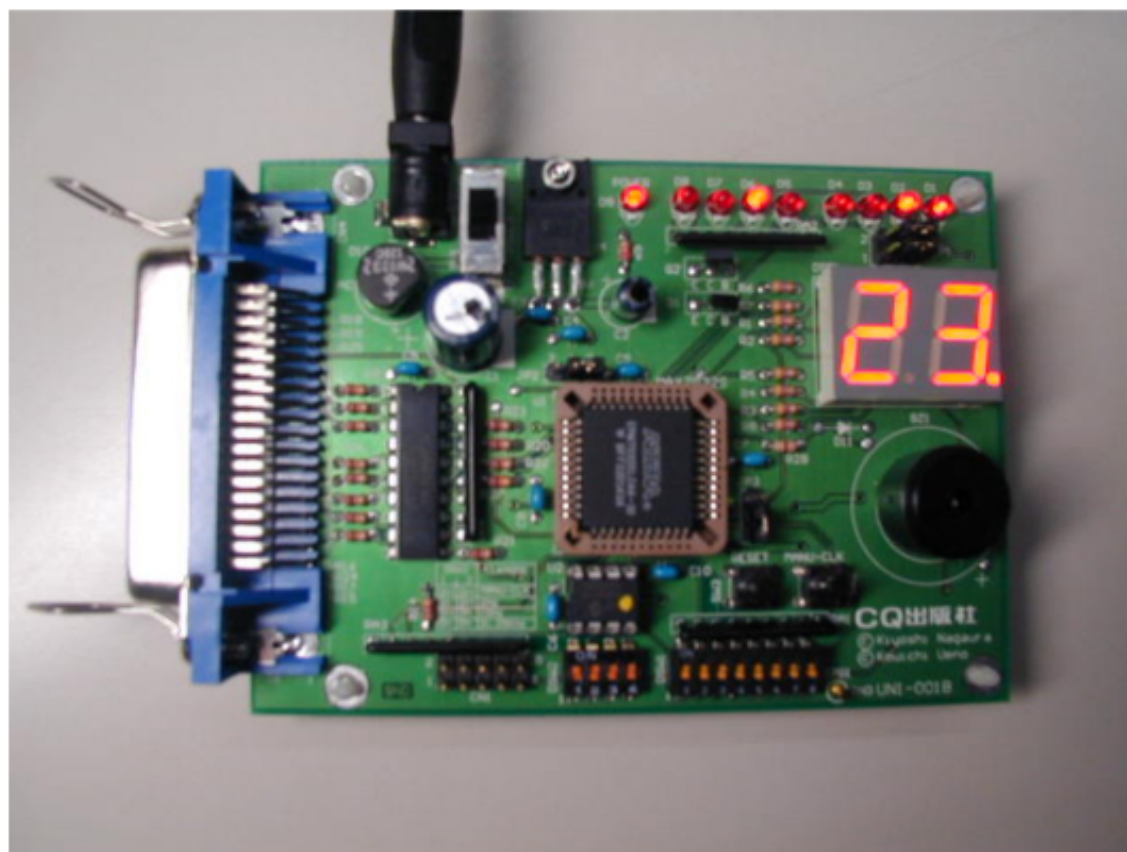
セントロ【**JTAG**】 → オンボード書き込み可





# 試作内容

🌀 7seg-LEDに00～99を表示させる。



# 試作してみて

## ❁ 開発ツール

**MAX+PLUS II Baseline** → サポートしていない

**Quartus II** → **Win XP**での動作確認**OK**

## ❁ VHDL

**GAL**のプログラムと同じ感覚

## ❁ CPLD

- ・ストレス無くプログラム可能
- ・中規模回路の置き換え**(16bitカウンタ×2)**





## 今後(次のステップ)

- ❁ **MAX-II** へのプログラム
  - ・トラ技**2006**年**4**月号付録の**CPLD**
  - ・**LUT**(ルックアップテーブル)方式の  
**LE**(ロジックエレメント)構成 → **FPGA**への**STEP**
  - ・**192**マクロセル相当
- ❁ **Quartus II** でのシミュレーション

